

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-158288

(P2002-158288A)

(43)公開日 平成14年5月31日 (2002.5.31)

(51) Int.Cl.⁷
H 01 L 21/822
G 06 F 15/78
H 01 L 27/04
H 03 B 5/36
H 03 K 3/02

識別記号
510

F I
G 06 F 15/78
H 03 B 5/36
H 03 K 3/02
H 01 L 27/04

テーマコード(参考)
510 P 5 B 062
5 F 038
P 5 J 043
A 5 J 079
H

審査請求 有 請求項の数4 OL (全10頁)

(21)出願番号 特願2001-235815(P2001-235815)
(62)分割の表示 特願平4-172044の分割
(22)出願日 平成4年6月6日(1992.6.6)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(71)出願人 000233169
株式会社日立超エル・エス・アイ・システムズ
東京都小平市上水本町5丁目22番1号
(72)発明者 鈴川 一文
東京都小平市上水本町5丁目22番1号 株式会社日立マイコンシステム内
(74)代理人 100081938
弁理士 徳若 光政

最終頁に続く

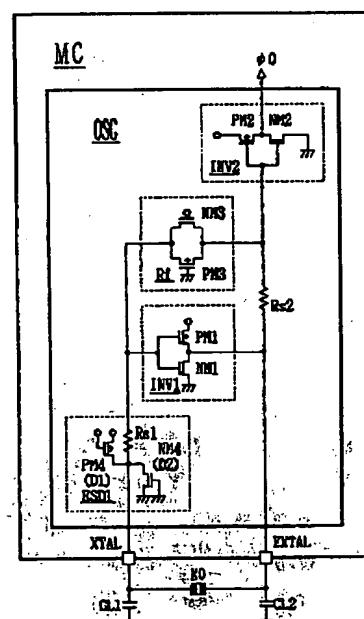
(54)【発明の名称】...半導体装置

(57)【要約】 (修正有)

【課題】 マイクロコンピュータ等に内蔵される発振回路の所要レイアウト面積を縮小し、その動作を安定化する。

【解決手段】 インバータINV1を外部端子EXTALに対する静電保護素子として兼用する。また、インバータINV1の出力端子を直接外部端子EXTALに結合するとともに、インバータINV1を構成するPチャネルMOSFETPM1及びNチャネルMOSFETNM1を外部端子EXTALに対応するボンディングパッドPEXTALに近接しつつ対称的に配置する。さらに、フィードバック抵抗Rfとその出力信号を後段回路に伝達するインバータINV2とを構成するPチャネルMOSFETPM2及びPM3ならびにNチャネルMOSFETNM2及びNM3を、PチャネルMOSFETPM1及びNチャネルMOSFETNM1に近接しつつ互いに対称的に配置する。

図3 発振回路回路図(実施例1)



(2)

1

【特許請求の範囲】

【請求項1】 第1及び第2の外部端子と、
 その入力端子が上記第1の外部端子に結合され、その出力端子が上記第2の外部端子に結合される駆動回路と、
 上記駆動回路の上記入力端子と上記出力端子との間に設けられる第1及び第2のフィードバック抵抗と、
 第1導電型の第1MOSFET及び第2MOSFETと、
 第2導電型の第3MOSFET及び第4MOSFETとを有し、
 上記第1MOSFETのソースとゲートとは共通接続され、そのドレンは上記第1の外部端子に接続され、
 上記第3MOSFETのソースとゲートとは共通接続され、そのドレンは上記第1の外部端子に接続され、
 上記第2MOSFETのゲートと上記第4MOSFETのゲートとは共通接続されて、上記駆動回路を構成し、
 上記第2MOSFETが形成される領域と上記第1のフィードバック抵抗が形成される領域とは所定の方向に配置され、
 上記第4MOSFETが形成される領域と上記第2のフィードバック抵抗が形成される領域とは上記所定の方向に配置され、
 上記第2MOSFETが形成される領域と上記第1のフィードバック抵抗が形成される領域とを含む第1の半導体領域と上記第4MOSFETが形成される領域と上記第2のフィードバック抵抗が形成される領域とを含む第2の半導体領域とは上記所定の方向に対して対称に配置され、
 上記第1MOSFETが形成される領域と上記第3MOSFETが形成される領域とは上記所定の方向に対して対称に配置されてなることを特徴とする半導体装置。

【請求項2】 請求項1において、

上記第1MOSFETが形成される領域は、上記第1MOSFETのチャネル形成領域、ソース領域及びドレン領域として機能する第2導電型の半導体領域であり、
 上記第2MOSFETが形成される領域は、上記第2MOSFETのチャネル形成領域、ソース領域及びドレン領域として機能する第2導電型の半導体領域であり、
 上記第3MOSFETが形成される領域は、上記第3MOSFETのチャネル形成領域、ソース領域及びドレン領域として機能する第1導電型の半導体領域であり、
 上記第4MOSFETが形成される領域は、上記第4MOSFETのチャネル形成領域、ソース領域及びドレン領域として機能する第1導電型の半導体領域であることを特徴とする半導体装置。

【請求項3】 請求項1において、

上記第1及び第2のフィードバック抵抗はMOSFETにより形成されることを特徴とする半導体装置。

【請求項4】 第1及び第2の外部端子と、

その入力端子が上記第1の外部端子に結合され、その出

2

力端子が上記第2の外部端子に結合される駆動回路とを有し、

上記駆動回路を構成するMOSFETが上記第2の外部端子に最も近接する半導体領域に形成されることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体装置に関し、例えば、発振回路を内蔵するマイクロコンピュータ等に利用して特に有効な技術に関するものである。

【0002】

【従来の技術】 クロック信号を形成するための発振回路を内蔵し、この発振回路の発振周波数を設定するための水晶発振子が外付けされる一対の外部端子を備えるマイクロコンピュータがある。

【0003】 発振回路を内蔵するマイクロコンピュータならびにその発振回路に関する仕様等について、例えば、1990年8月、株式会社日立製作所発行の『H8/510 HD6415108 ハードウェアマニュアル』第127頁～第129頁に記載されている。

【0004】

【発明が解決しようとする課題】 上記に記載される従来のマイクロコンピュータにおいて、内蔵される発振回路は、例えば図8に示されるように、外付けされた水晶発振子XOに対する駆動素子となるインバータINV1と、このインバータINV1の入力端子及び出力端子間に設けられるフィードバック抵抗R_fとを含む。インバータINV1は、図9に示されるように、PチャネルMOSFET（金属酸化物半導体型電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする）PM1及びNチャネルMOSFET NM1からなるCMOS（相補型MOS）論理回路であって、その入力端子と外部端子XTALとの間ならびにその出力端子と外部端子EXTALとの間には、一对のダイオードD1及びD2あるいはD3及びD4と保護抵抗R_{s1}又はR_{s2}とからなる静電保護回路ESD1及びESD2がそれぞれ設けられる。外部端子XTAL及びEXTALと回路の接地電位との間には、水晶発振子XOの発振動作を安定化するための比較的大きな容量CL1及びCL2がそれぞれ結合される。

【0005】 ところが、マイクロコンピュータの高集積化及び高速化が進むにしたがって、上記従来の発振回路OSCには次のような問題点が生じることが本願発明者等によって明らかとなった。すなわち、水晶発振子XOの駆動素子となるインバータINV1の出力端子は、前述のように、静電保護回路ESD2を構成する保護抵抗R_{s3}を介して外部端子EXTALに結合され、これによってインバータINV1の実質的な駆動能力が低下する。また、これに対処するには、インバータINV1の

50

(3)

3

駆動能力を必要以上に大きくしなくてはならないが、このためにインバータINV1としての消費電流が大きくなるとともに、その所要レイアウト面積が増大する。また、従来の発振回路OSCでは、駆動素子となるインバータINV1に加えて、インバータINV1の出力信号をクロック信号φ0としてマイクロコンピュータの内部回路に伝達するためのインバータINV2や静電保護回路ESD1及びESD2となる合計4個の専用セルが必要となる。

【0006】さらに、インバータINV1は、比較的大きな外付け容量CL2を駆動できるだけの比較的大きな駆動能力を必要とし、またその出力端子と外部端子EXTALとを結合するための配線層も、抵抗値を抑えるために比較的大きな線幅を持つ必要があるが、インバータINV1を構成するPチャンネルMOSFETPM1及びNM1は、図10に示されるように、外部端子EXTALに対応するボンディングパッドPEXTALから見て少なくとも静電保護回路ESD2を構成するPチャンネルMOSFETPM7及びNチャンネルMOSFETNM7の遠方に配置されるため、インバータINV1と外部端子EXTALとの間の配線を含む発振回路の総配線長が長くなってしまう。このことは、発振回路OSCの所要レイアウト面積をさらに増大させるとともに、配線間のカップリングノイズや電源ノイズ等によって発振回路OSCの発振動作を不安定なものとする。

【0007】この発明の目的は、マイクロコンピュータ等に内蔵される発振回路の所要レイアウト面積を縮小し、その動作を安定化することにある。

【0008】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、発振回路を内蔵し水晶発振子を外付けするための一対の第1と第2の外部端子を備えるマイクロコンピュータ等において、駆動回路の入力端子が上記第1の外部端子に結合され、上記駆動回路の出力端子が上記第2の外部端子に結合され、第1MOSFETのソースとゲートとを共通接続してドレインを上記第1の外部端子に接続し、第3MOSFETのソースとゲートとを共通接続してドレインを上記第1の外部端子に接続し、第2MOSFETのゲートと上記第4MOSFETのゲートとを共通接続して上記駆動回路を構成し、上記第2、第4MOSFETと上記第1、第2のフィードバック抵抗がそれぞれ形成される領域を所定の方向に配置し、上記第2MOSFETと上記第1のフィードバック抵抗がそれぞれ形成される領域を含む第1の半導体領域と上記第4MOSFETと上記第2のフィードバック抵抗がそれぞれ形成される領域を含む第2の半導

4

体領域とを上記所定の方向に對して対称に配置し、上記第1MOSFETが形成される領域と上記第3MOSFETが形成される領域とは上記所定の方向に對して対称に配置させる。

【0010】

【発明の実施の形態】図1には、この発明が適用されたマイクロコンピュータMCの一実施例の部分的なブロック図が示されている。同図をもとに、まずこの実施例のマイクロコンピュータMCの構成及び動作の概要について説明する。なお、図1の各ブロックを構成する回路素子は、公知のCMOS集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上に形成される。また、マイクロコンピュータMCは、さらに図示されない多くの機能ブロックを含むが、これらの機能ブロックに関する説明は本発明に直接関係がないために割愛する。

【0011】図1において、この実施例のマイクロコンピュータMCは、クロック信号φ0を形成するための発振回路OSCを内蔵し、この発振回路OSCの発振周波数を設定するための水晶発振子XO(発振子)が外付けされる一対の外部端子XTAL(第1の外部端子)及びEXTAL(第2の外部端子)を備える。水晶発振子XOは、特に制限されないが、いわゆるATカット並列共振形の水晶発振子からなり、固有の共振周波数を持つ。また、外部端子XTAL及びEXTALと回路の接地電位との間には、水晶発振子XOの発振動作を安定化するための容量CL1及びCL2がそれぞれ外付けされる。これらの容量は、例えば10ないし20pF(ピコファラッド)程度の比較的大きな静電容量を有する。

【0012】発振回路OSCから出力されるクロック信号φ0は、特に制限されないが、分周回路FD1に供給され、分周回路FD1から出力されるクロック信号φ1は、分周回路FD2に供給される。分周回路FD2から出力されるクロック信号φ2は、マイクロコンピュータMCの図示されない後段回路に動作クロックとして供給される。分周回路FD1及びFD2は、それぞれ所定ビットのカウンタ回路を基本構成とし、クロック信号φ0及びφ1を二分の一又は八分の一にそれぞれ分周してクロック信号φ1及びφ2をそれぞれ形成する。

【0013】図2には、図1のマイクロコンピュータMCに含まれる発振回路OSCの一実施例の機能図が示され、図3には、その一実施例の回路図が示されている。これらの図をもとに、この実施例のマイクロコンピュータMCに含まれる発振回路OSCの具体的な構成及び動作ならびにその特徴について説明する。なお、以下の回路図において、そのチャンネル(バックゲート)部に矢印が付されるMOSFETはPチャンネル型(第1導電型)であって、矢印の付されないNチャンネル型(第2導電型)のMOSFETと区別して示される。

【0014】図2において、発振回路OSCは、特に制

(4)

5

限されないが、水晶発振子XOの駆動素子として作用するインバータINV1（第1のCMOS論理回路）を含む。このインバータINV1は、図3に示されるように、PチャンネルMOSFETPM1及びNチャンネルMOSFETNM1からなるいわゆる出力反転型のCMOS論理回路であって、これらのMOSFETのサイズが比較的大きくされることで比較的大きな駆動能力を持つ。インバータINV1の入力端子は、静電保護回路ESD1を介して外部端子XTALに結合され、その出力端子は、直接外部端子EXTALに結合される。

【0015】ここで、静電保護回路ESD1は、インバータINV1の入力端子と外部端子XTALとの間に設けられる所定の保護抵抗Rs1と、外部端子XTALと回路の電源電圧及び接地電位との間にそれぞれ設けられるダイオードD1及びD2を含む。このうち、保護抵抗Rs1は、後述するように、拡散抵抗からなり、例えば 100Ω （オーム）程度の比較的小さな抵抗値を持つ。また、ダイオードD1及びD2は、図3に示されるように、それぞれのゲート及びソースが共通結合されることでダイオード形態とされるPチャンネルMOSFETPM4及びNチャンネルMOSFETNM4によって構成され、外部端子XTALに印加される高電圧の静電気を吸収して、インバータINV1を構成するPチャンネルMOSFETPM1及びNM1のゲート破壊を防止する。なお、回路の電源電圧は、特に制限されないが、+5Vのような正の電源電圧とされる。

【0016】インバータINV1の出力端子すなわち外部端子EXTALは、さらに所定の保護抵抗Rs2を介してインバータINV2（第2のCMOS論理回路）の入力端子に結合される。このインバータINV2の出力信号は、前述のように、クロック信号 ϕ_0 として、後段回路すなわち分周回路FD1に供給される。インバータINV1の入力端子とインバータINV2の入力端子との間には、所定のフィードバック抵抗Rfが設けられる。なお、インバータINV2は、図3に示されるように、PチャンネルMOSFETPM2及びNチャンネルMOSFETNM2により構成される。また、保護抵抗Rs2は、後述するように、例えば 100Ω 程度の比較的小さな拡散抵抗であって、PチャンネルMOSFETPM2及びNチャンネルMOSFETNM2のゲート破壊を防止しつつ外部端子XTALを介して入力されるノイズを吸収すべく作用する。さらに、フィードバック抵抗Rfは、並列結合されかつそのゲートに回路の電源電圧又は接地電位を受けることで定常にオン状態とされる一対のPチャンネルMOSFETPM3及びNチャンネルMOSFETNM3からなり、そのソースドレイン抵抗に相当する $1M\Omega$ （メガオーム）程度の比較的大きな抵抗値を持つ。これにより、フィードバック抵抗Rfとしての所要レイアウト面積を縮小できるとともに、関連する配線等を介するカップリングノイズを抑制する

6

ことができる。

【0017】これらのことから、インバータINV1は、水晶発振子XOの共振により外部端子XTALに得られる微小さな圧電信号を反転・増幅し、外部端子EXTALつまりは水晶発振子XOの他方の電極に帰還する駆動素子として作用し、フィードバック抵抗Rfは、インバータINV1の出力信号をその入力端子に帰還させることによってインバータINV1の動作点を決定すべく作用する。この実施例において、インバータINV1の出力端子は、前述のように、直接対応する外部端子EXTALに結合される。このため、インバータINV1は、PチャンネルMOSFETPM1及びNチャンネルMOSFETNM1をもって静電保護素子として作用し、外部端子EXTALに印加される高電圧の静電気を吸収して、インバータINV2を構成するPチャンネルMOSFETPM2及びNチャンネルMOSFETNM2のゲート破壊を防止する。また、インバータINV1は、外部端子EXTALに結合される比較的大きな容量CL2を駆動しうる大きな駆動能力を必要とされるが、その出力端子が保護抵抗を介すことなく直接外部端子EXTALに結合されることにより、その分だけ駆動能力を小さくすることができる。これらの結果、従来の発振回路OSCにおいてインバータINV1の入力端子と外部端子EXTALとの間に設けられてきた専用の静電保護回路が不要となり、また駆動素子となるインバータINV1のサイズが小さくなつて、発振回路OSCの所要レイアウト面積が縮小されるものとなる。

【0018】図4には、図3の発振回路OSCの一実施例の配置図が示されている。同図をもとに、この実施例の発振回路OSCの具体的なレイアウトならびにその特徴について説明する。なお、発振回路OSCの各回路素子を構成するNチャンネルMOSFETは、P型半導体基板上に直接形成されるN型拡散層をソース及びドレインとし、PチャンネルMOSFETは、P型半導体基板上のN型ウェル領域内に形成されるP型拡散層をそのソース及びドレインとする。以下の配置図では、細い点線によりN型ウェル領域が表され、細い実線により拡散層及びゲート層がまた太い実線によりアルミニウム配線層がそれぞれ表される。また、以下の説明では、配置図の40 位置関係をもつて半導体基板面の上下左右を表す。

【0019】図4において、発振回路OSCが形成されるP型半導体基板上には、外部端子XTALに対応するボンディングパッドPXTALと、外部端子EXTALに対応するボンディングパッドPEXTALとが設けられる。このうち、ボンディングパッドPXTALの右側には、N型ウェル領域NWEEL2が形成され、このN型ウェル領域内には、ボンディングパッドPXTALに近接して、静電保護回路ESD1を構成するPチャンネルMOSFETPM4のソース及びドレインとなるP型50 拡散層PD4が形成される。PチャンネルMOSFET

(5)

7

PM4のソース及びドレイン間すなわちそのチャンネル上には、所定の絶縁膜をはさんで、そのゲートとなるゲート層FG4Pがポリシリコン等により形成される。PチャンネルMOSFETPM4のソース及びゲートは、アルミニウム配線層AL8を介して回路の電源電圧VCCに結合され、そのドレインは、アルミニウム配線層AL4を介してボンディングパッドPXTALに結合される。

【0020】一方、ボンディングパッドPXTALの左側には、ボンディングパッドPXTALに近接しかつP型拡散層PD4つまりはPチャンネルMOSFETPM4と対称的な位置に、静電保護回路ESD1を構成するNチャンネルMOSFETNM4のソース及びドレインとなるN型拡散層ND4が形成される。NチャンネルMOSFETNM4のチャンネル上には、そのゲートとなるゲート層FG4Nがポリシリコン等により形成される。NチャンネルMOSFETNM4のソース及びゲートは、アルミニウム配線層AL7を介して回路の接地電位VSSに結合され、そのドレインは、アルミニウム配線層AL3を介してボンディングパッドPXTALに結合される。また、NチャンネルMOSFETNM4のドレインとなるN型拡散層ND4の左側は、さらに左上方に延長されて拡散抵抗を構成し、静電保護回路ESD1の保護抵抗Rs1となる。

【0021】次に、ボンディングパッドPEXTALの左側には、N型ウェル領域NWEELL1が形成され、このN型ウェル領域内には、ボンディングパッドPEXTALに近接して、インバータINV1を構成するPチャンネルMOSFETPM1のソース及びドレインとなるP型拡散層PD1が形成される。PチャンネルMOSFETPM1のチャンネル上には、ゲート層FG1Pがポリシリコン等により形成される。PチャンネルMOSFETPM1のソースは、アルミニウム配線層AL5を介して回路の電源電圧VCCに結合され、そのドレインは、アルミニウム配線層AL1を介してボンディングパッドPEXTALに結合される。

【0022】一方、ボンディングパッドPEXTALの右側には、ボンディングパッドPEXTALに近接しかつP型拡散層PD1つまりはPチャンネルMOSFETPM1と対称的な位置に、インバータINV1を構成するNチャンネルMOSFETNM1のソース及びドレインとなるN型拡散層ND1が形成される。NチャンネルMOSFETNM1のチャンネル上には、そのゲートとなるゲート層FG1Nがポリシリコン等により形成される。NチャンネルMOSFETNM1のソースは、アルミニウム配線層AL6を介して回路の接地電位VSSに結合され、そのドレインは、アルミニウム配線層AL2を介してボンディングパッドPEXTALに結合される。また、NチャンネルMOSFETNM1のドレインとなるN型拡散層ND1の右側は、さらに右上方に延長

されて拡散抵抗を構成し、インバータINV2に対する保護抵抗Rs2となる。

【0023】N型ウェル領域NWEELL1内のP型拡散層PD1の上方には、このP型拡散層PD1に近接して、フィードバック抵抗Rfを構成するPチャンネルMOSFETPM3のソース及びドレインとなるP型拡散層PD3が形成される。また、N型拡散層ND1の上方には、このN型拡散層ND1に近接しかつ上記P型拡散層PD3と対称的な位置に、同じくフィードバック抵抗Rfを構成するNチャンネルMOSFETNM3のソース及びドレインとなるN型拡散層ND3が形成される。PチャンネルMOSFETPM3及びNM3のチャンネル上には、これらのMOSFETのゲートとなるゲート層FG3P及びFG3Nがポリシリコン等により形成される。なお、図4から明らかのように、PチャンネルMOSFETPM3及びNチャンネルMOSFETNM3は、そのゲート長が比較的大きくまたそのゲート幅が比較的小さくなるように形成され、これによって1MΩのよう比較的大きな抵抗値を持つものとされる。

【0024】フィードバック抵抗Rfを構成するPチャンネルMOSFETPM3のソースならびにNチャンネルMOSFETNM3のドレインは、アルミニウム配線層AL9を介してインバータINV1を構成するPチャンネルMOSFETPM1のゲート層FG1PならびにNチャンネルMOSFETNM1のゲート層FG1Nに結合され、さらに前記保護抵抗Rs1の他方に結合される。また、PチャンネルMOSFETPM3のドレインならびにNチャンネルMOSFETNM3のソースは、アルミニウム配線層AL10を介して前記保護抵抗Rs2の他方に結合され、さらにインバータINV2を構成するPチャンネルMOSFETPM2及びNチャンネルMOSFETNM2のゲート層FG2に結合される。PチャンネルMOSFETPM3のゲート層FG3Pは、図示されないアルミニウム配線層を介して回路の接地電位VSSに結合され、NチャンネルMOSFETNM3のゲート層FG3Nは、図示されない他のアルミニウム配線層を介して回路の電源電圧VCCに結合される。これにより、PチャンネルMOSFETPM3及びNチャンネルMOSFETNM3は、定的にオン状態とされ、そのソースドレイン抵抗相当の抵抗値を持つフィードバック抵抗Rfとして作用する。

【0025】次に、インバータINV2を構成するPチャンネルMOSFETPM2は、N型ウェル領域NWEELL1内にP型拡散層PD3つまりはPチャンネルMOSFETPM3に近接して配置されるP型拡散層PD2をそのソース及びドレインとする。また、同じくインバータINV2を構成するNチャンネルMOSFETNM2は、N型拡散層ND3つまりはNチャンネルMOSFETNM3に近接しかつP型拡散層PD2つまりはPチャンネルMOSFETPM2と対称的な位置に配置され

(6)

9

るN型拡散層ND2をそのソース及びドレインとする。PチャンネルMOSFETPM2のソースは、アルミニウム配線層AL11を介して回路の電源電圧VCCに結合され、NチャンネルMOSFETNM2のソースは、アルミニウム配線層AL12を介して回路の接地電位VSSに結合される。また、PチャンネルMOSFETPM2及びNチャンネルMOSFETNM2のドレインは、アルミニウム配線層AL13を介して図示されない後段回路に結合され、これらのMOSFETのゲートとなるゲート層FG2は、前述のように、アルミニウム配線層AL10を介してPチャンネルMOSFETPM3のドレインならびにNチャンネルMOSFETNM3のソース等に結合される。

【0026】以上のように、この実施例の発振回路OSCでは、インバータINV1を構成するPチャンネルMOSFETPM1及びNチャンネルMOSFETNM1が、外部端子EXTALに対応するボンディングパッドPEXTALに近接しつつ対称的に配置されるとともに、フィードバック抵抗Rfを構成するPチャンネルMOSFETPM3及びNチャンネルMOSFETNM3ならびにインバータINV2を構成するPチャンネルMOSFETPM2及びNチャンネルMOSFETNM2が、対応するPチャンネルMOSFETPM1及びNチャンネルMOSFETNM1にそれぞれ近接しつつ互いに対称的に配置される。しかるに、インバータINV1の出力端子と外部端子EXTALつまりはボンディングパッドPEXTALとの間の配線長が短縮され、相応してその配線抵抗が小さくされるとともに、発振回路OSC内における総配線長が短縮され、これらの配線間におけるカップリングノイズや電源ノイズが抑制される。これらの結果、インバータINV1ひいては発振回路OSCの所要レイアウト面積がさらに縮小され、発振回路OSCとしての動作が安定化されるものとなる。

【0027】以上の本実施例に示されるように、この発明を発振回路を内蔵するマイクロコンピュータ等の半導体装置に適用することで、次のような作用効果が得られる。すなわち、

(1) 発振回路を内蔵し水晶発振子が外付けされる一対の外部端子を備えるマイクロコンピュータ等において、発振回路に水晶発振子の駆動素子として設けられる第1のCMOS論理回路を、対応する外部端子に対する静電保護素子として兼用し、第1のCMOS論理回路の出力端子を直接対応する外部端子に結合することで、第1のCMOS論理回路の出力端子と対応する外部端子との間に設けられる保護抵抗をなくして、その分駆動素子となる第1のCMOS論理回路の駆動能力を小さくすることができるという効果が得られる。

【0028】(2) 上記(1)項において、第1のCMOS論理回路を構成するPチャンネル及びNチャンネルMOSFETを、対応するボンディングパッドに近接し

(6)

10

かつ対称的に配置することで、その出力端子と対応するボンディングパッドとの間の配線長を短縮し、配線抵抗を小さくして、第1のCMOS論理回路の駆動能力をさらに小さくすることができるという効果が得られる。

(3) 上記(1)項及び(2)項において、第1のCMOS論理回路の入力端子及び出力端子間に設けられるフィードバック抵抗ならびに第1のCMOS論理回路の出力信号をマイクロコンピュータの内部回路に伝達するための第2のCMOS論理回路を構成するPチャンネル及びNチャンネルMOSFETを、第1のCMOS論理回路を構成するPチャンネル及びNチャンネルMOSFETにそれぞれ近接しつつ互いに対称的に配置することで、発振回路としての総配線長を短縮し、これらの配線間におけるカップリングノイズや電源ノイズを抑制することができるという効果が得られる。

(4) 上記(1)項ないし(3)項により、発振回路の所要レイアウト面積を縮小し、その動作を安定化することができるという効果が得られる。

【0029】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、マイクロコンピュータMCは、1個又は3個以上の分周回路を備えることができるし、各分周回路の分周比や接続形態は、この実施例による制約を受けない。外部端子XTAL及びEXTALに結合される水晶発振子XOは、特にATカット並列共振形であることを必要条件としないし、水晶以外の発振子を用いることもできる。外部端子XTAL及びEXTALと回路の接地電位との間に設けられる容量CL1及びCL2の具体的な静電容量値は、任意に設定できる。

【0030】図2において、静電保護回路ESD1の構成は、この実施例による制約を受けない。また、図5に例示されるように、インバータINV1を2入力のノアゲートNOG1に置き換えることで、発振回路OSCの動作を内部制御信号OCに従って制御することができる。この場合、ノアゲートNOG1は、図6に示されるように、PチャンネルMOSFETPM5及びPM6ならびにNチャンネルMOSFETNM5及びNM6からなり、これらのMOSFETは、図7に例示されるように、対応するボンディングパッドPEXTALに近接しつつそれぞれ対称となる位置に配置すればよい。水晶発振子XOの駆動素子となるCMOS論理回路は、さらに NANDゲートに置き換えることができるし、インバータINV2についても、各種のCMOS論理回路に置き換えることができる。保護抵抗Rs1及びRs2は、拡散抵抗に代えて例えばポリシリコン抵抗等を用いることができる。さらに、発振回路OSCの具体的な回路構成やレイアウトならびに電源電圧の極性及び絶対値等は、種々の実施形態を採りうる。

(7)

11

【0031】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるマイクロコンピュータに適用した場合について説明したが、それに限定されるものではなく、例えば、マイクロプロセッサやゲートアレイ集積回路等にも適用できる。この発明は、少なくとも発振回路を内蔵し水晶発振子を外付けするための外部端子を備える半導体装置に広く適用できる。

[0032]

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、駆動回路として設けられる第1のCMOS論理回路の駆動能力の低下を抑えることができる。

【図面の簡単な説明】

【図1】この発明が適用されたマイクロコンピュータの一実施例を示す部分的なブロック図である。

【図2】図1のマイクロコンピュータに含まれる発振回路の第1の実施例を示す機能図である。

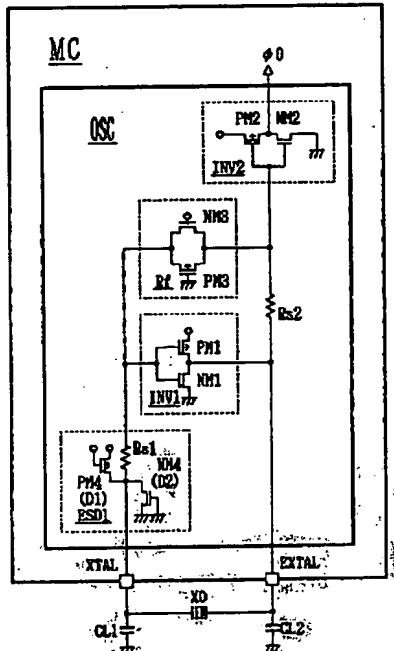
【図3】図2の発振回路の一実施例を示す回路図である。

【図4】図3の発振回路の一実施例を示す配置図である。

【図5】図1のマイクロコンピュータに含まれる発振回路の第2の実施例を示す機能図である。

[図3]

図3 発振回路回路図(実施例1)



12

【図6】図5の発振回路の一実施例を示す回路図である。

【図7】図6の発振回路の一実施例を示す配置図である。

【図8】この発明に先立って本願発明者等が開発したマイクロコンピュータに含まれる発振回路の一例を示す機能図である。

【図9】図8の発振回路の一例を示す回路図である。

【図10】図9の発振回路の一例を示す配置図である。

【符号の説明】

MC . . . マイクロコンピュータ、OSC . . . 発振回路、FD1~FD2 . . . 分周回路、XO . . . 水晶発振子、CL1~CL2 . . . 外付け容量。

INV1～INV2…インバータ、ESD1～ESD2…静電保護回路、D1～D4…ダイオード、R_f、R_{s1}～R_{s3}…抵抗。

PM1～PM7 … PチャンネルMOSFET、NM1～NM7 … NチャンネルMOSFET。

NWELL1～NWELL5…N型ウェル領域、P

D 1~PD 7, PD 5 6 ··· P型拡散層、ND 1~ND 7, ND 5 6 ··· N型拡散層、FG 1 P~FG 7

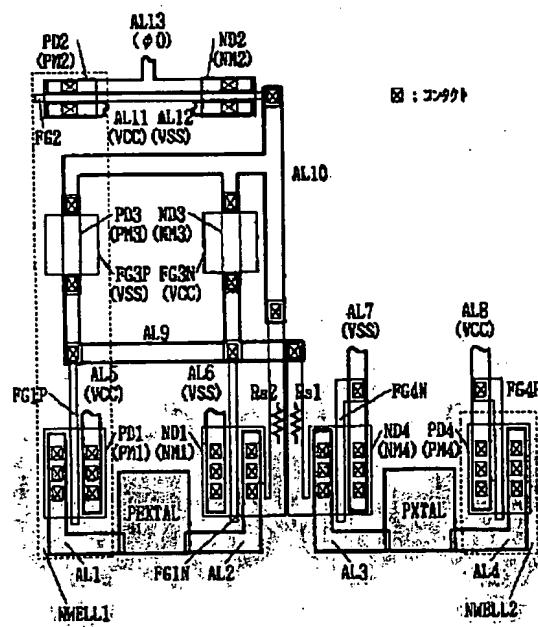
P, FG1N~FG7N, FG1~FG2...ゲート層、AL1~AL23...アルミニウム配線層。

NOG1・・・ノアゲート。

[图4]

4

数据回路配置图 (见图例 1)



(8)

【図1】

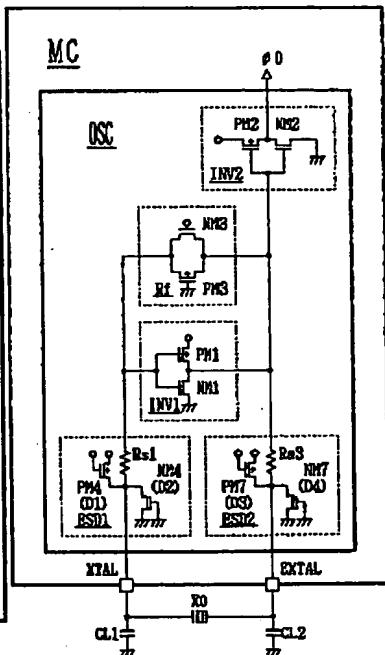
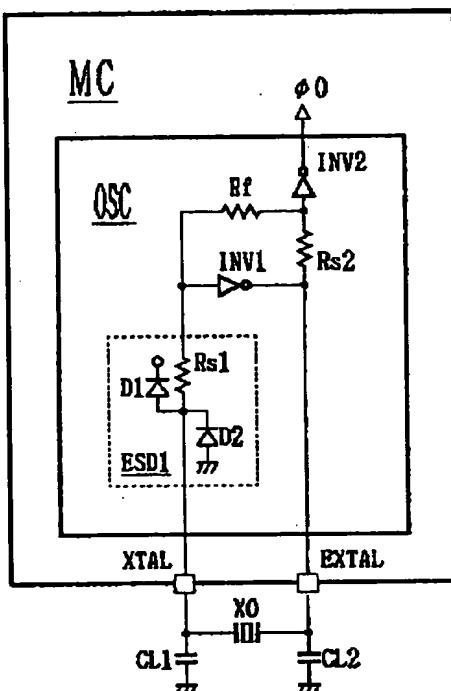
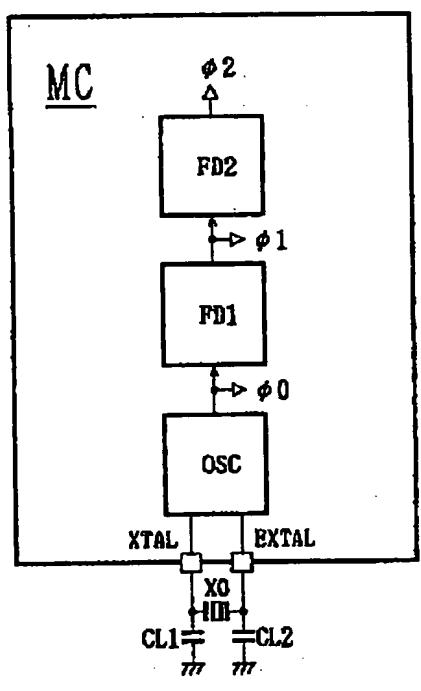
[図2]

[図9]

図1 マイクロコンピュータブロック図 図2

発振回路機能図（実施例1）

图9 指示回路图



[义7].

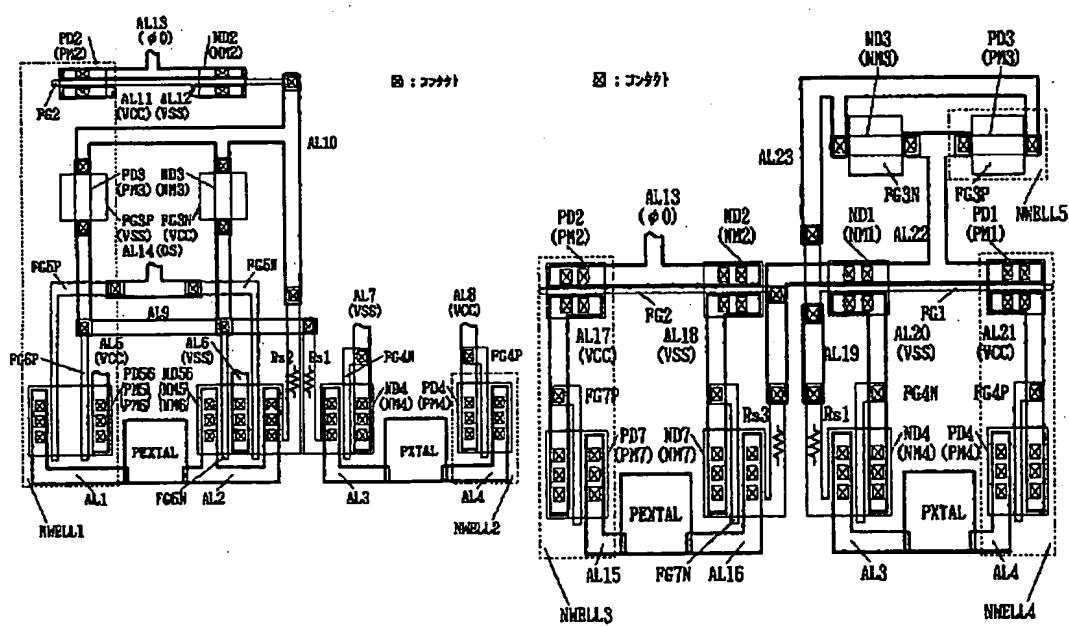
【図10】

四?

森林可燃物蓄积量 (立方米)

図10

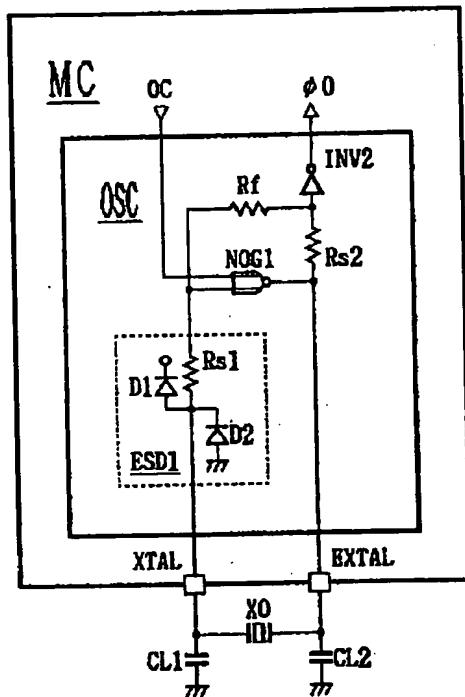
杂技回路配置图



(9)

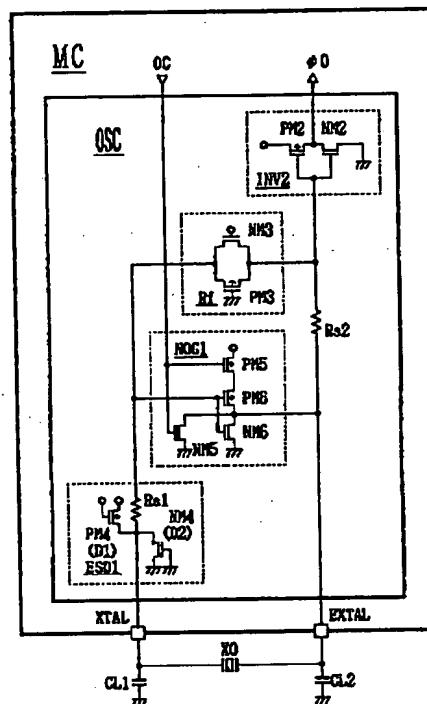
【図5】

図5 発振回路機能図(実施例2)



【図6】

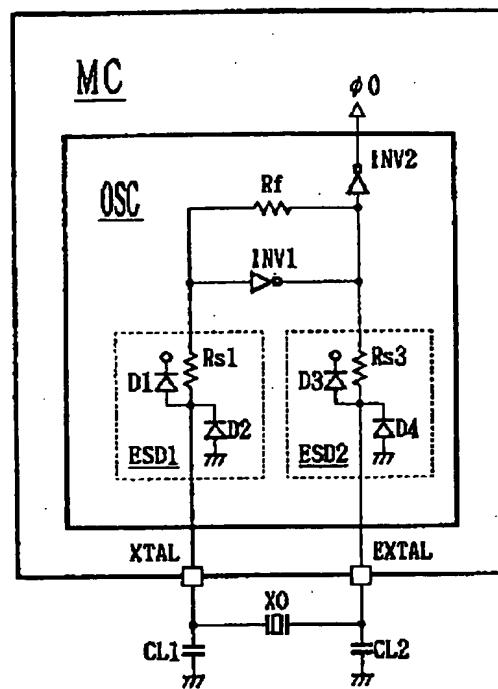
図6 発振回路回路図(実施例2)



(10)

【図8】

図8 発振回路機能図



フロントページの続き

F ターム(参考) 5B062 AA01 AA08 DD10 HH01
 5F038 AR01 BH02 BH04 BH05 BH07
 BH13 BH19 CA02 CA06 CD06
 CD12 CD18 DF04 DF07 EZ20
 5J043 AA05 AA25 BB01 DD07 DD09
 DD13 EE01
 5J079 AA04 BA39 FA05 FA21 FB03
 GA09 KA01

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-158288

(43)Date of publication of application : 31.05.2002

(51)Int.Cl.

H01L 21/822
G06F 15/78
H01L 27/04
H03B 5/36
H03K 3/02

(21)Application number : 2001-235815

(71)Applicant : HITACHI LTD
HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 06.06.1992

(72)Inventor : SUZUKAWA KAZUFUMI

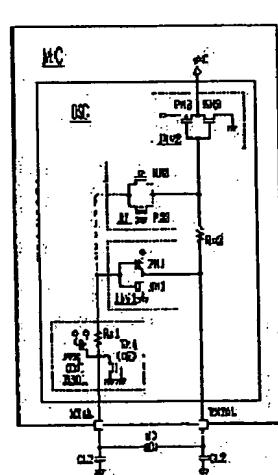
(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To stabilize operation by reducing a required layout area of the oscillation circuit built in a micro computer and the like.

SOLUTION: An inverter INV1 is also used as a electrostatic protection element for an external terminal EXTAL. The output terminal of the inverter INV1 is directly connected to the external terminal EXTAL while a P channel

MOSFETPN1 and N channel MOSFETNM1 constituting the inverter IN1 are arranged close to, while symmetrically, a bonding pad PEXTEL corresponding to the external terminal EXTAL. Further, P channel MOSFETPM2 and PM3 and N channel MOSFETNM2 and NM3 constituting a feedback resistor Rf and an inverter INV2 which transmits its output signal to a post-stage circuit are arranged close to, while symmetrically, the P channel MOSFETPN1 and N channel MOSFETNM1.



LEGAL STATUS

[Date of request for examination] 03.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st and 2nd external terminals and the drive circuit where the input terminal is combined with the external terminal of the above 1st, and the output terminal is combined with the external terminal of the above 2nd, The 1st and 2nd feedback resistance prepared between the above-mentioned input terminal of the above-mentioned drive circuit, and the above-mentioned output terminal, It has the 1st MOSFET of the 1st conductivity type and the 2nd MOSFET, and the 3rd MOSFET and the 4th MOSFET of the 2nd conductivity type. Common connection of the source and the gate of the 1st above MOSFET is made, and the drain is connected to the external terminal of the above 1st. Common connection of the source and the gate of the 3rd above MOSFET is made, and the drain is connected to the external terminal of the above 1st. Common connection of the gate of the 2nd above MOSFET and the gate of the 4th above MOSFET is made. Constitute the above-mentioned drive circuit and the field in which the 2nd above MOSFET is formed, and the field in which the 1st feedback resistance of the above is formed are arranged in the predetermined direction. The field in which the 4th above MOSFET is formed, and the field in which the 2nd feedback resistance of the above is formed are arranged in the above-mentioned predetermined direction. As opposed to the direction of predetermined [above-mentioned] in the 2nd semiconductor region including the 1st semiconductor region including the field in which the 2nd above MOSFET is formed, and the field in which the 1st feedback resistance of the above is formed, the field in which the 4th above MOSFET is formed, and the field in which the 2nd feedback resistance of the above is formed The field in which it is arranged at the symmetry and the 1st above MOSFET is formed, and the field in which the 3rd above MOSFET is formed are a semiconductor device characterized by coming to be arranged at the symmetry to the above-mentioned predetermined direction.

[Claim 2] In claim 1, the field in which the 1st above MOSFET is formed The field in which it is the semiconductor region of the 2nd conductivity type which functions as the channel formation field, source field, and drain field of the 1st above MOSFET, and the 2nd above MOSFET is formed The field in which it is the semiconductor region of the 2nd conductivity type which functions as the channel formation field, source field, and drain field of the 2nd above MOSFET, and the 3rd above MOSFET is formed The field in which it is the semiconductor region of the 1st conductivity type which functions as the channel formation field, source field, and drain field of the 3rd above MOSFET, and the 4th above MOSFET is formed The semiconductor device characterized by being the semiconductor region of the 1st conductivity type which functions as the channel formation field, source field, and drain field of the 4th above MOSFET.

[Claim 3] It is the semiconductor device characterized by forming the 1st and 2nd feedback resistance of the above of MOSFET in claim 1.

[Claim 4] The semiconductor device characterized by being formed in the semiconductor region where MOSFET which has the 1st and 2nd external terminals and the drive circuit where the input terminal is combined with the external terminal of the above 1st, and the output terminal is combined with the external terminal of the above 2nd, and constitutes the above-mentioned drive circuit approaches the external terminal of the above 2nd most.

* NOTICES *

JP0 and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is used for the microcomputer which contains an oscillator circuit, concerning a semiconductor device, and relates to an effective technique especially.

[0002]

[Description of the Prior Art] The oscillator circuit for forming a clock signal is built in, and there is a microcomputer with which the crystal oscillator for setting up the oscillation frequency of this oscillator circuit is equipped with the external terminal of the pair by which external is carried out.

[0003] the specification about the microcomputer which contains an oscillator circuit, and its oscillator circuit etc. — for example, "H8 / 510 HD6415108 hardware manual" of August, 1990 and Hitachi Issue — it is indicated by 127th page — the 129th page.

[0004]

[Problem(s) to be Solved by the Invention] In the conventional microcomputer indicated above, the oscillator circuit built in contains the inverter INV1 used as the driver element to the crystal oscillator XO by which external was carried out, and feedback resistance Rf prepared between the input terminal of this inverter INV1, and an output terminal, as shown in drawing 8. An inverter INV1 is P channel MOSFET (metal oxide semiconductor mold field-effect transistor.), as shown in drawing 9. on these specifications, MOSFET is carried out and it considers as the generic name of an insulated gate field effect transistor — it is the CMOS (complementary MOS) logical circuit which consists of PM1 and N-channel MOS FETNM1, and the static protection circuits ESD1 and ESD2 which consist of the diodes D1 and D2 of a pair, D3 and D4 and protective resistance Rs1, or Rs2 are formed, respectively between that input terminal and external terminal XTAL and between that output terminal and external terminal EXTAL. Between the external terminals XTAL and EXTAL and the touch-down potential of a circuit, the comparatively big capacity CL1 and CL2 for stabilizing oscillation actuation of a crystal oscillator XO is combined, respectively.

[0005] However, it became clear by the invention-in-this-application person etc. that the following troubles arise in the above-mentioned conventional oscillator circuit OSC as high integration and improvement in the speed of a microcomputer progressed. That is, the output terminal of the inverter INV1 used as the driver element of a crystal oscillator XO is combined with the external terminal EXTAL as mentioned above through the protective resistance Rs3 which constitutes the static protection circuit ESD 2, and the substantial drive capacity of an inverter INV1 declines by this. Moreover, in order to cope with this, drive capacity of an inverter INV1 must be made large beyond the need, but [for this reason] while the consumed electric current as an inverter INV1 becomes large, that necessary layout area increases. Moreover, a total of four exclusive cels used as the inverter INV2 for transmitting to the

internal circuitry of a microcomputer by making the output signal of an inverter INV1 into a clock signal phi 0 in addition to the inverter INV1 used as a driver element or the static protection circuits ESD1 and ESD2 are needed in the conventional oscillator circuit OSC.

[0006] Furthermore, although the wiring layer for an inverter INV1 needing the comparatively big drive capacity of only being able to drive the external, comparatively big capacity CL 2, and combining the output terminal and external terminal EXTAL also needs to have comparatively big line breadth in order to hold down resistance P channel MOSFETPM1 which constitutes an inverter INV1, and NM1 Since it is arranged at the distant place of P channel MOSFETPM7 which sees from the bonding pad PEXTAL corresponding to the external terminal EXTAL, and constitutes the static protection circuit ESD 2 at least, and N-channel MOS FETNM7 as shown in drawing 10 , The total wire length of an oscillator circuit including wiring between an inverter INV1 and the external terminal EXTAL will become long. This makes oscillation actuation of an oscillator circuit OSC unstable by a coupling noise, a power-source noise, etc. during wiring while increasing the necessary layout area of an oscillator circuit OSC further.

[0007] The purpose of this invention reduces the necessary layout area of the oscillator circuit built in a microcomputer etc., and is to stabilize that actuation.

[0008] The other purposes and the new description will become clear from description and the accompanying drawing of this specification along [said] this invention.

[0009]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application. Namely, it sets to a microcomputer equipped with the 1st [of the pair for building in an oscillator circuit and carrying out external / of the crystal oscillator], and 2nd external terminal etc. The input terminal of a drive circuit is combined with the external terminal of the above 1st, and the output terminal of the above-mentioned drive circuit is combined with the external terminal of the above 2nd. Make common connection of the source and the gate of the 1st MOSFET, and a drain is connected to the external terminal of the above 1st. Make common connection of the source and the gate of the 3rd MOSFET, and a drain is connected to the external terminal of the above 1st. Make common connection of the gate of the 2nd MOSFET, and the gate of the 4th above MOSFET, and the above-mentioned drive circuit is constituted. The 2nd and 4th above MOSFET and the 1st and 2nd feedback resistance of the above arrange the field formed, respectively in the predetermined direction. The 2nd above MOSFET, the 1st semiconductor region where the 1st feedback resistance of the above includes the field formed, respectively, and the 4th above MOSFET and the 2nd semiconductor region where the 2nd feedback resistance of the above includes the field formed, respectively are arranged to the symmetry to the above-mentioned predetermined direction. The field in which the 1st above MOSFET is formed, and the field in which the 3rd above MOSFET is formed are arranged to the symmetry to the above-mentioned predetermined direction.

[0010]

[Embodiment of the Invention] The partial block diagram of one example of the microcomputer MC with which this invention was applied is shown in drawing 1 . Based on this drawing, the outline of the configuration of the microcomputer MC of this example and actuation is explained first. In addition, the circuit element which constitutes each block of drawing 1 is formed on one semi-conductor substrate like single crystal silicon of the manufacturing technology of a well-known CMOS integrated circuit. Moreover, although Microcomputer MC contains much functional block which is not illustrated further, since there is no direct relation to this invention, the explanation about these functional block is omitted.

[0011] In drawing 1 , the microcomputer MC of this example contains the oscillator circuit OSC for forming a clock signal phi 0, and the crystal oscillator XO (radiator) for setting up the oscillation frequency of this oscillator circuit OSC is equipped with the external terminals XTAL (1st external terminal) and EXTAL of the pair by which external is carried out (2nd external terminal). Although especially the crystal oscillator XO is not restricted, it consists of the so-called crystal oscillator of an AT cut parallel resonance form, and has the resonance frequency of a proper. Moreover, between the

external terminals XTAL and EXTAL and the touch-down potential of a circuit, external [of the capacity CL1 and CL2 for stabilizing oscillation actuation of a crystal oscillator XO] is carried out, respectively. Such capacity has the comparatively big electrostatic capacity of 10 thru/or 20pF (picofarad) extent. [0012] Although especially the clock signal phi 0 outputted from an oscillator circuit OSC is not restricted, the clock signal phi 1 which is supplied to a frequency divider FD 1 and outputted from a frequency divider FD 1 is supplied to a frequency divider FD 2. The clock signal phi 2 outputted from a frequency divider FD 2 is supplied to the latter-part circuit where Microcomputer MC is not illustrated as a clock of operation. Frequency dividers FD1 and FD2 consider the counter circuit of a predetermined bit as a basic configuration, respectively, carry out dividing of the clock signals phi0 and phi1 to a half or 1/8, respectively, and form clock signals phi1 and phi2, respectively.

[0013] The functional diagram of one example of the oscillator circuit OSC included in the microcomputer MC of drawing 1 is shown in drawing 2, and the circuit diagram of the one example is shown in drawing 3. Based on these drawings, the concrete configuration of the oscillator circuit OSC included in the microcomputer MC of this example, actuation, and its description are explained. In addition, in the following circuit diagrams, MOSFET by which an arrow head is given to the channel (backgate) section is a P channel mold (the 1st conductivity type), and is shown in distinction from MOSFET of N channel mold (the 2nd conductivity type) to which an arrow head is not given.

[0014] In drawing 2, although especially the oscillator circuit OSC is not restricted, the inverter INV1 (1st CMOS logical circuit) which acts as a driver element of a crystal oscillator XO is included. As shown in drawing 3, this inverter INV1 is the so-called output reversal type which consists of P channel MOSFETPM1 and N-channel MOS FETNM1 of CMOS logical circuit, and has comparatively big drive capacity by size of these MOSFETs being enlarged comparatively. The input terminal of an inverter INV1 is combined with the external terminal XTAL through the static protection circuit ESD 1, and the output terminal is directly combined with the external terminal EXTAL.

[0015] Here, the static protection circuit ESD 1 contains the diodes D1 and D2 formed, respectively between the predetermined protective resistance Rs1 prepared between the input terminal of an inverter INV1, and the external terminal XTAL, and the supply voltage of the external terminal XTAL and a circuit and touch-down potential. Among these, protective resistance Rs1 consists of a diffused resistor, for example, has the comparatively small resistance of 100-ohm (ohm) extent so that it may mention later. Moreover, as shown in drawing 3, diodes D1 and D2 are constituted from common association of each gate and source being carried out by P channel MOSFETPM4 and N-channel MOS FETNM4 which are made into a diode gestalt, absorb static electricity of the high voltage impressed to the external terminal XTAL, and prevent P channel MOSFETPM1 and the gate destruction of NM1 which constitute an inverter INV1. In addition, although especially the supply voltage of a circuit is not restricted, let it be forward supply voltage like +5V.

[0016] The output terminal EXTAL of an inverter INV1, i.e., an external terminal, is combined with the input terminal of an inverter INV2 (2nd CMOS logical circuit) through the further predetermined protective resistance Rs2. The output signal of this inverter INV2 is supplied to the latter-part circuit FD 1, i.e., a frequency divider, as a clock signal phi 0 as mentioned above. Predetermined feedback resistance Rf is prepared between the input terminal of an inverter INV1, and the input terminal of an inverter INV2. In addition, an inverter INV2 is constituted by P-channel MOSFETPM2 and N-channel MOS FETNM2 as shown in drawing 3. Moreover, protective resistance Rs2 is an about 100-ohm comparatively small diffused resistor, and acts that the noise which prevents P channel MOSFETPM2 and gate destruction of N-channel MOS FETNM2, and is inputted through the external terminal EXTAL should be absorbed so that it may mention later. Furthermore, feedback resistance Rf consists of P channel MOSFETPM3 and N-channel MOS FETNM3 of a pair which are regularly made into an ON state by parallel connection being carried out and receiving the supply voltage or touch-down potential of a circuit in the gate, and has the comparatively big resistance of 1-M omega (megohm) extent equivalent to the source drain resistance. Thereby, while the necessary layout area as feedback resistance Rf is

reducible, the coupling noise through related wiring etc. can be controlled.

[0017] the minute piezo-electric signal by which an inverter INV1 is obtained from these things by the external terminal XTAL by resonance of a crystal oscillator XO — reversal and magnification — carrying out — the external terminal EXTAL — getting it blocked — acting as a driver element which returns to the electrode of another side of a crystal oscillator XO, feedback resistance Rf acts that the operating point of an inverter INV1 should be determined by returning the output signal of an inverter INV1 to the input terminal. In this example, the output terminal of an inverter INV1 is combined with the external terminal EXTAL which corresponds directly as mentioned above. For this reason, an inverter INV1 has P channel MOSFETPM1 and N-channel MOS FETNM1, acts as a static protection component, absorbs static electricity of the high voltage impressed to the external terminal EXTAL, and prevents P channel MOSFETPM2 which constitutes an inverter INV2, and gate destruction of N-channel MOS FETNM2. Moreover, although the big drive capacity that the comparatively big capacity CL 2 combined with the external terminal EXTAL may be driven is needed for an inverter INV1, only the part can make drive capacity small by combining the output terminal with the external terminal EXTAL directly through protective resistance. These results, the size of the inverter INV1 which the static protection circuit of the dedication established between the input terminal of an inverter INV1 and the external terminal EXTAL in the conventional oscillator circuit OSC becomes unnecessary, and serves as a driver element becomes small, and the necessary layout area of an oscillator circuit OSC is reduced.

[0018] The plot plan of one example of the oscillator circuit OSC of drawing 3 is shown in drawing 4. Based on this drawing, the concrete layout and its description of the oscillator circuit OSC of this example are explained. In addition, N-channel MOS FET which constitutes each circuit element of an oscillator circuit OSC uses as the source and a drain the N type diffusion layer directly formed on a P-type semiconductor substrate, and P channel MOSFET uses as the source and drain the P type diffusion layer formed in the N type well field on a P-type semiconductor substrate. In the following plot plans, an N type well field is expressed by the thin dotted line, and an aluminum wiring layer is expressed with a thin continuous line by the continuous line with a diffusion layer and a gate layer thick again, respectively. Moreover, the four directions of a semi-conductor substrate side are expressed with the following explanation with the physical relationship of a plot plan.

[0019] In drawing 4, the bonding pad PXTAL corresponding to the external terminal XTAL and the bonding pad PEXTAL corresponding to the external terminal EXTAL are formed on the P-type semiconductor substrate with which an oscillator circuit OSC is formed. Among these, the N type well field NWELL2 is formed in the right-hand side of a bonding pad PXTAL, in this N type well field, a bonding pad PXTAL is approached and the P type diffusion layer PD 4 used as the source of P channel MOSFETPM4 and the drain which constitute the static protection circuit ESD 1 is formed. Between the source of P channel MOSFETPM4, and a drain (i.e., the channel top), a predetermined insulator layer is inserted and gate layer FG4P used as the gate are formed of polish recon etc. The source and the gate of P channel MOSFETPM4 are combined with the supply voltage VCC of a circuit through the aluminum wiring layer AL8, and the drain is combined with a bonding pad PXTAL through the aluminum wiring layer AL4.

[0020] on the other hand — the left-hand side of a bonding pad PXTAL — a bonding pad PXTAL — approaching — and the P type diffusion layer PD 4 — getting it blocked — the N type diffusion layer ND 4 used as the source of N-channel MOS FETNM4 and the drain which constitute the static protection circuit ESD 1 is formed in P channel MOSFETPM4 and a symmetrical location. On the channel of N-channel MOS FETNM4, the gate and becoming gate layer FG4N are formed of polish recon etc. The source and the gate of N-channel MOS FETNM4 are combined with the touch-down potential VSS of a circuit through the aluminum wiring layer AL7, and the drain is combined with a bonding pad PXTAL through the aluminum wiring layer AL3. Moreover, the left-hand side of the N type diffusion layer ND 4 used as the drain of N-channel MOS FETNM4 is further extended by upper left direction, constitutes a diffused resistor, and serves as the protective resistance Rs1 of the static protection

circuit ESD 1.

[0021] Next, the N type well field NWELL1 is formed in the left-hand side of a bonding pad PEXTAL, in this N type well field, a bonding pad PEXTAL is approached and the P type diffusion layer PD 1 used as the source of P channel MOSFETPM1 and the drain which constitute an inverter INV1 is formed. On the channel of P channel MOSFETPM1, gate layer FG1P are formed of polish recon etc. The source of P channel MOSFETPM1 is combined with the supply voltage VCC of a circuit through the aluminum wiring layer AL5, and the drain is combined with a bonding pad PEXTAL through the aluminum wiring layer AL1.

[0022] on the other hand — the right-hand side of a bonding pad PEXTAL — a bonding pad PEXTAL — approaching — and the P type diffusion layer PD 1 — getting it blocked — the N type diffusion layer ND 1 used as the source of N-channel MOS FETNM1 and the drain which constitute an inverter INV1 is formed in P channel MOSFETPM1 and a symmetrical location. On the channel of N-channel MOS FETNM1, the gate and becoming gate layer FG1N are formed of polish recon etc. The source of N-channel MOS FETNM1 is combined with the touch-down potential VSS of a circuit through the aluminum wiring layer AL6, and the drain is combined with a bonding pad PEXTAL through the aluminum wiring layer AL2. Moreover, the right-hand side of the N type diffusion layer ND 1 used as the drain of N-channel MOS FETNM1 is further extended by upper right direction, constitutes a diffused resistor, and serves as the protective resistance Rs2 to an inverter INV2.

[0023] This P type diffusion layer PD 1 is approached, and the P type diffusion layer PD 3 used as the source of P channel MOSFETPM3 and the drain which constitute feedback resistance Rf is formed above the P type diffusion layer PD 1 in the N type well field NWELL1. Moreover, above the N type diffusion layer ND 1, this N type diffusion layer ND 1 is approached, and the N type diffusion layer ND 3 used as the source of N-channel MOS FETNM3 and the drain which similarly constitute feedback resistance Rf is formed in the above-mentioned P type diffusion layer PD 3 and a symmetrical location. On the channel of MOSFETPM3 and NM3, P gate layer FG3P and FG3Ns used as the gate of these MOSFETs are formed of polish recon etc. In addition, P channel MOSFETPM3 and N-channel MOS FETNM3 are formed so that the gate length may become [the gate width] comparatively small comparatively large again, and they have comparatively big resistance held by this like 1 M omega so that clearly from drawing 4.

[0024] It is combined with gate layer FG1N of gate layer FG1P and N-channel MOS FETNM1 of P channel MOSFETPM1 which constitutes an inverter INV1 through the aluminum wiring layer AL9, and the source of P channel MOSFETPM3 which constitutes feedback resistance Rf, and the drain of N-channel MOS FETNM3 are further combined with another side of said protective resistance Rs1. Moreover, it is combined with another side of said protective resistance Rs2 through the aluminum wiring layer AL10, and the drain of P channel MOSFETPM3 and the source of N-channel MOS FETNM3 are combined with P channel MOSFETPM2 which constitutes an inverter INV2 further, and the gate layer FG2 of N-channel MOS FETNM2. Gate layer FG3P of P channel MOSFETPM3 are combined with the touch-down potential VSS of a circuit through the aluminum wiring layer which is not illustrated, and gate layer FG3N of N-channel MOS FETNM3 is combined with the supply voltage VCC of a circuit through other aluminum wiring layers which are not illustrated. Thereby, P channel MOSFETPM3 and N-channel MOS FETNM3 are regularly made into an ON state, and act as feedback resistance Rf with the resistance of the source drain resistance.

[0025] next, P channel MOSFETPM2 which constitutes an inverter INV2 — the inside of the N type well field NWELL1 — the P type diffusion layer PD 3 — getting it blocked — let the P type diffusion layer PD 2 arranged by approaching P channel MOSFETPM3 be the source and drain. moreover, N-channel MOS FETNM2 which similarly constitutes an inverter INV2 — the N type diffusion layer ND 3 — getting it blocked — N-channel MOS FETNM3 — approaching — and the P type diffusion layer PD 2 — getting it blocked — let the N type diffusion layer ND 2 arranged in P channel MOSFETPM2 and a symmetrical location be the source and drain. The source of P channel MOSFETPM2 is combined with the supply voltage VCC of a circuit through the aluminum wiring layer AL11, and the source of N-channel MOS

FETNM2 is combined with the touch-down potential VSS of a circuit through the aluminum wiring layer AL12. Moreover, the drain of P channel MOSFETPM2 and N-channel MOS FETNM2 is combined with the latter-part circuit which is not illustrated through the aluminum wiring layer AL13, and the gate of these MOSFETs and the becoming gate layer FG2 are combined with the drain of P channel MOSFETPM3, the source of N-channel MOS FETNM3, etc. through the aluminum wiring layer AL10 as mentioned above.

[0026] as mentioned above, in the oscillator circuit OSC of this example While P channel MOSFETPM1 and N-channel MOS FETNM1 which constitute an inverter INV1 are arranged symmetrically [approach the bonding pad PEXTAL corresponding to the external terminal EXTAL, and] P channel MOSFETPM2 and N-channel MOS FETNM2 which constitute P channel MOSFETPM3, N-channel MOS FETNM3, and the inverter INV2 which constitute feedback resistance Rf Corresponding P channel MOSFETPM1 and corresponding N-channel MOS FETNM1 are approached, respectively, and it is arranged symmetrically mutually. however, the output terminal of an inverter INV1 and the external terminal EXTAL — getting it blocked — while the wire length between bonding pads PEXTAL is shortened, ***ing and making the wiring resistance small, the total wire length in an oscillator circuit OSC is shortened, and the coupling noise and power-source noise during these wiring are controlled. These results, an inverter INV1, as a result the necessary layout area of an oscillator circuit OSC are reduced further, and the actuation as an oscillator circuit OSC is stabilized.

[0027] As shown in the above this example, the following operation effectiveness is acquired by applying this invention to semiconductor devices, such as a microcomputer which contains an oscillator circuit. Namely, it sets to a microcomputer equipped with the external terminal of a pair with which (1) oscillator circuit is built in and external [of the crystal oscillator] is carried out etc. Make the 1st CMOS logical circuit established in an oscillator circuit as a driver element of a crystal oscillator serve a double purpose as a static protection component to a corresponding external terminal, and the output terminal of the 1st CMOS logical circuit by combining with the external terminal which corresponds directly The protective resistance prepared between the output terminal of the 1st CMOS logical circuit and a corresponding external terminal is lost, and the effectiveness that drive capacity of the 1st CMOS logical circuit used as the part driver element can be made small is acquired.

[0028] (2) The effectiveness that the wire length between the output terminal and a corresponding bonding pad can be shortened, wiring resistance can be made small, and drive capacity of the 1st CMOS logical circuit can be made still smaller by arranging symmetrically [approach a corresponding bonding pad and] P channels and N-channel MOS FET which constitute the 1st CMOS logical circuit in the above-mentioned (1) term is acquired.

(3) In the above-mentioned (1) term and (2) terms P channels and N-channel MOS FET which constitute the 2nd CMOS logical circuit for transmitting the output signal of the feedback resistance and the 1st CMOS logical circuit which are prepared between the input terminal of the 1st CMOS logical circuit, and an output terminal to the internal circuitry of a microcomputer By approaching P channels and N-channel MOS FET which constitute the 1st CMOS logical circuit, respectively, and arranging symmetrically mutually The total wire length as an oscillator circuit is shortened, and the effectiveness that the coupling noise and power-source noise during these wiring can be controlled is acquired.

(4) The effectiveness that the necessary layout area of an oscillator circuit can be reduced and the actuation can be stabilized according to the above-mentioned (1) term thru/or (3) terms is acquired.

[0029] As mentioned above, although invention made by this invention person was concretely explained based on the example, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the above-mentioned example, and does not deviate from that summary. For example, in drawing 1 , Microcomputer MC can be equipped with one piece or three frequency dividers or more, and the division ratio or topology of each frequency divider do not receive constraint by this example. Especially the crystal oscillator XO combined with the external terminals XTAL and EXTAL cannot make it a requirement to be an AT cut parallel resonance form, and radiators other than Xtal can

also be used for it. The concrete electrostatic-capacity value of capacity CL1 and CL2 established between the external terminals XTAL and EXTAL and the touch-down potential of a circuit can be set as arbitration.

[0030] In drawing 2, the configuration of the static protection circuit ESD 1 does not receive constraint by this example. Moreover, actuation of an oscillator circuit OSC is controllable by transposing an inverter INV1 to NOR gate NOG1 of 2 inputs according to an internal control signal OC so that it is illustrated by drawing 5. In this case, what is necessary is just to arrange NOR gate NOG1 in the location which these MOSFETs approach the corresponding bonding pad PEXTAL at drawing 7 by P channels consisting of MOSFETPM5, PM6, and N-channel MOS FETNM5 and NM6 so that it may be illustrated, and becomes respectively symmetrical, as shown in drawing 6. The CMOS logical circuit used as the driver element of a crystal oscillator XO can be further transposed to a NAND gate, and can be transposed to various kinds of CMOS logical circuits also about an inverter INV2. Protective resistance Rs1 and Rs2 can be replaced with a diffused resistor, for example, polish recon resistance etc. can be used for it. Furthermore, the polarity of the concrete circuitry, the layout, and supply voltage of an oscillator circuit OSC, an absolute value, etc. can take various operation gestalten.

[0031] Although the above explanation explained the case where invention mainly made by this invention person was applied to the microcomputer which is a field of the invention used as the background, it is not limited to it and can apply to a microprocessor, a gate array integrated circuit, etc. This invention is widely applicable to a semiconductor device equipped with the external terminal for building in an oscillator circuit at least and carrying out external [of the crystal oscillator].

[0032]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated in this application is explained briefly. That is, the fall of the drive capacity of the 1st CMOS logical circuit prepared as a drive circuit can be suppressed.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the partial block diagram showing one example of the microcomputer with which this invention was applied.

[Drawing 2] It is the functional diagram showing the 1st example of the oscillator circuit included in the microcomputer of drawing 1.

[Drawing 3] It is the circuit diagram showing one example of the oscillator circuit of drawing 2.

[Drawing 4] It is the plot plan showing one example of the oscillator circuit of drawing 3.

[Drawing 5] It is the functional diagram showing the 2nd example of the oscillator circuit included in the microcomputer of drawing 1.

[Drawing 6] It is the circuit diagram showing one example of the oscillator circuit of drawing 5.

[Drawing 7] It is the plot plan showing one example of the oscillator circuit of drawing 6 .

[Drawing 8] It is the functional diagram showing an example of the oscillator circuit included in the microcomputer which the invention-in-this-application person etc. developed in advance of this invention.

[Drawing 9] It is the circuit diagram showing an example of the oscillator circuit of drawing 8 .

[Drawing 10] It is the plot plan showing an example of the oscillator circuit of drawing 9 .

[Description of Notations]

MC [... A crystal oscillator, CL1-CL2 / ... External capacity] ... A microcomputer, OSC ... An oscillator circuit, FD1-FD2 ... A frequency divider, XO

INV1-INV2 [... Resistance.] ... An inverter, ESD1-ESD2 ... A static protection circuit, D1-D4 ... Diode, Rf, Rs1-Rs3

PM1-7...P PMMOSFET, NM1-NM7 ... N-channel MOS FET.

NWELL1-NWELL5 ... an N type well field and PD1- PD7 and PD56 ... a P type diffusion layer and ND1- ND7 and ND56 ... an N type diffusion layer, FG1 P-FG7P, FG1 N-FG7N, and FG1-FG2 ... a gate layer, and AL1-AL23 ... an aluminum wiring layer.

NOG1 ... NOR gate.

[Translation done.]